

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Yasuyuki MORISHITA
Title: SEMICONDUCTOR DEVICE
Appl. No.: Unassigned
Filing Date: 7/21/2000
Examiner: Unassigned
Art Unit: Unassigned

jc879 U.S. PTO
09/621614
07/21/00

CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

- Japan Patent Application No. 11-209407 filed 7/23/1999.

Respectfully submitted,

Date July 21, 2000

FOLEY & LARDNER
Washington Harbour
3000 K Street, N.W., Suite 500
Washington, D.C. 20007-5109
Telephone: (202) 672-5407
Facsimile: (202) 672-5399

By Phillip J. Artiola Reg. No. 38,819
for / David A. Blumenthal
Attorney for Applicant
Registration No. 26,257

YASUYUKI MORISHITA
40373/287

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

1c879 U.S. PTO
09/621614
07/21/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 7月23日

出 願 番 号

Application Number:

平成11年特許願第209407号

出 願 人

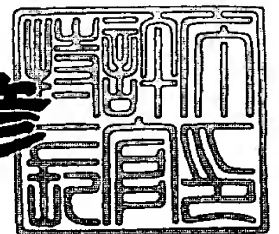
Applicant (s):

日本電気株式会社

2000年 5月26日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3039961



【書類名】 特許願

【整理番号】 71110322

【提出日】 平成11年 7月23日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/8234

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 森下 泰之

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100070219

 【弁理士】

 【氏名又は名称】 若林 忠

 【電話番号】 03-3585-1882

【選任した代理人】

 【識別番号】 100088328

 【弁理士】

 【氏名又は名称】 金田 暢之

【選任した代理人】

 【識別番号】 100106138

 【弁理士】

 【氏名又は名称】 石橋 政幸

【選任した代理人】

 【識別番号】 100106297

 【弁理士】

 【氏名又は名称】 伊藤 克博

【手数料の表示】

【予納台帳番号】 015129

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板上に入出力保護回路部を備えた半導体装置であって、該入出力保護回路部は、第一導電型の第一および第二の拡散層とこれらに挟まれた領域に設けられたゲート電極とを備える電界効果トランジスタが複数個並列接続されることにより構成されており、前記複数の電界効果トランジスタが形成された領域と離間して第二導電型の不純物拡散領域が設けられ、該不純物拡散領域が基準電位に接続されるとともに第二の拡散層が入出力端子部に接続され、第一の拡散層の下に、第一の拡散層よりも低い濃度の第一導電型ウエルが形成されたことを特徴とする半導体装置。

【請求項 2】 前記ゲート電極および前記第二導電型の不純物拡散領域は半導体基板表面に形成された第二導電型ウエルの上に設けられており、前記第一導電型ウエルの底部は、第二導電型ウエルの底部と同等の深さの位置または第二導電型ウエルの底部よりも深い位置に形成されたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記電界効果トランジスタは N チャネル型電界効果トランジスタであることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 半導体基板上に相補型電界効果トランジスタを含む入出力保護回路部を備えた半導体装置であって、前記相補型電界効果トランジスタは、第一導電型の第一および第二の拡散層とこれらに挟まれた領域に設けられたゲート電極とを備える第一の電界効果トランジスタと、第二導電型の第三および第四の拡散層とこれらに挟まれた領域に設けられたゲート電極とを備える第二の電界効果トランジスタとからなり、前記第一の電界効果トランジスタが形成された領域と離間して第二導電型の第一の不純物拡散領域が設けられ、前記第二の電界効果トランジスタが形成された領域と離間して第一導電型の第二の不純物拡散領域が設けられ、第一の不純物拡散領域が第一の基準電位に、第二の不純物拡散領域が第二の基準電位に、第二の拡散層および第四の拡散層が入出力端子部にそれぞれ接続され、第一の拡散層の下に、第一の拡散層よりも低い濃度の第一導電型ウエ

ルが形成されたことを特徴とする半導体装置。

【請求項 5】 第一の電界効果トランジスタのゲート電極および第一の不純物拡散領域は半導体基板表面に形成された第二導電型ウエルの上に設けられており、前記第一導電型ウエルの底部は、第二導電型ウエルの底部と同等の深さの位置または第二導電型ウエルの底部よりも深い位置に形成されたことを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 第二導電型ウエルの下部に、第二導電型ウエルよりも高濃度の第二導電型不純物を含む不純物高濃度領域が設けられ、前記第一導電型ウエルの底部は、前記不純物高濃度領域の底部と同等の深さの位置または前記不純物高濃度領域の底部よりも深い位置に形成されたことを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 第一の電界効果トランジスタは N チャンネル型電界効果トランジスタであることを特徴とする請求項 4 乃至 6 いずれかに記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、入出力端子と内部回路の間に静電破壊防止のための入力保護回路部又は出力保護回路部を備えた半導体装置に関する。

【0 0 0 2】

【従来の技術】

半導体集積回路装置では、その入力端子又は出力端子（以下、入出力端子という）に加わる静電気などのサージにより内部の回路素子が破壊されるのを防ぐため、入出力端子と内部回路の間に入力保護回路部又は出力保護回路部（以下、入力保護回路部という）が設けられている。

【0 0 0 3】

入出力保護回路部は、一般に、電源電位 V_{DD} と接地電位 GND の間に N チャンネル MOSFET および P チャンネル MOSFET が直列に接続された CMOS により構成される。図 1 4 は CMOS により構成された入力保護回路図、図 1 5 は CMOS により構成された出力保護回路図である。以下、図 1 4 に示す構成の入力

保護回路部の従来例について図面を参照して説明する。

【0004】

図6は、CMOSにより構成された従来の入力保護回路部の平面図、図7は、図6のA-A'断面図である。図7に示すように、P型シリコン基板20の表面に、N型ウエル1bおよびP型ウエル2が形成されている。P型ウエル2が設けられた領域には、ゲート電極6、ソース領域3c、ドレイン領域3bからなるNチャネルMOSFETが形成されている。NチャネルMOSFET形成箇所の外周部にはP型不純物拡散領域4aが設けられており（図6）、P型ウエル2の電位が固定されている。P型不純物拡散領域4aとソース領域3cは、素子分離膜10を介して配置されており、いずれも接地端子9（GND）に接続されている。ドレイン領域3bは入力端子7と接続されている。

【0005】

一方、N型ウエル1bが設けられた領域には、ゲート電極5、ソース領域4c、ドレイン領域4bからなるPチャネルMOSFETが形成されている。PチャネルMOSFET形成箇所の外周部には、N型不純物拡散領域3aが設けられており（図6）、N型ウエル1bの電位が固定されている。N型不純物拡散領域3aとソース領域4cは、素子分離膜10を介して配置されており、いずれも電源端子8（ V_{DD} ）に接続されている。一方、ドレイン領域4bは入力端子7と接続されている。

【0006】

各トランジスタのソース・ドレイン領域等の表面には、低抵抗化を図るため、シリサイド層13が形成されている。

【0007】

次に、外部サージが入力端子7に加わった場合の動作を説明する。まず、外部サージが入力端子7に、接地端子9に対し負の電圧で印加された場合のNチャネルMOSFETの動作について説明する。この場合、ドレイン領域3b（N型）とP型ウエル2間のPN接合に、順方向電圧が加わることになり、順方向のPNダイオードがオンすることによって、負極サージは入力端子7からドレイン領域3b、P型ウエル2を経由して、接地端子9へ逃がされる。次に、外部サージが

入力端子 7 に、接地端子 9 に対し正の電圧で印加された場合について説明する。この場合、Nチャネルトランジスタの P 型ウェルに対してドレインへ正の電圧が印加されることになり、電圧が一定値以上となると、ドレイン領域 3 b 近傍でアバランシェブレイクダウンが生じる。ブレイクダウン後、電流はドレイン領域 3 b から P 型ウェル 2 へ流れるが、その電流により P 型ウェル 2 が正の電位を有するに至る。これにより、ドレイン領域 3 b をコレクタ、P 型ウェル 2 をベース、ソース領域 3 c をエミッタとする NPN 寄生バイポーラトランジスタがオンし、サージは入力端子 7 からドレイン領域 3 b、P 型ウェル 2、ソース領域 3 c を経由して接地端子 9 へ流れる。以上述べた動作を図 9 を参照して説明する。図 9 において、ドレイン電圧がブレイクダウン電圧 V_B に到達するとブレイクダウンが起こり、その後、トリガー電圧 V_{t1} まで電圧が上昇する。 V_{t1} に到達すると NPN 寄生バイポーラトランジスタがオンし、電圧はスナップバック保持電圧 V_s まで降下する。電流、電圧が上昇し、電流値 I_{t2} 、電圧値 V_{t2} に達するとトランジスタが破壊する。

【0008】

以上、Nチャネル MOSFET の動作について説明したが、Pチャネル MOSFET も同様に動作する。すなわち、電源端子 8 に対し、正または負の電圧で外部サージが入力端子 7 に加わった場合、順方向の PN 接合がオンする、またはラテラル寄生バイポーラトランジスタがオンすることにより、サージは電源端子 8 へ逃がされ、内部回路が保護される。

【0009】

しかしながら、上記の保護回路部は、図 9 における V_{t2} (トランジスタの破壊電圧) が V_{t1} (トリガー電圧) に比べて低く、このために以下のような課題を有していた。

【0010】

保護回路部は通常複数のトランジスタにより構成されるが、個々のトランジスタにおけるスナップバックのトリガ電圧は微妙に異なるため、一部のトランジスタのみがスナップバック動作を起こすことになる。そのとき、入出力端子の電圧は、一部のトランジスタのスナップバック保持電圧 V_s となり、その後、そのト

ランジスタにおける V_{t2} までしか増加しない。残りのランジスタについては、ドレイン電圧が V_{t1} を超えないため、スナップバック動作を起こさない。その結果、サージはスナップバック動作を起こした一部のランジスタのみに流れ続けて破壊するため、保護能力が低下する。近年では寄生抵抗低減等の観点から、ランジスタのソース・ドレイン領域等の表面に金属シリサイド膜が形成されることが多いが、この場合、抵抗値の低い金属シリサイド層の表面近傍にサージ電流が集中するため、上記問題はより顕著となる。

【 0 0 1 1 】

以上Nチャネルランジスタに着目して課題を説明したが、Pチャネルランジスタについても同様のことがあてはまる。

【 0 0 1 2 】

上記課題を解決するため、通常、ランジスタのドレイン領域の脇に高抵抗領域が設けられている。図 1 0 および図 1 1 は、特開平 1 0 - 1 7 3 0 7 0 号公報に開示された保護回路部を示すものである。この保護回路部では、Nチャネル MOSFET のドレイン領域 3 b の脇にN型ウエル 1 c が形成されており、N型ウエル 1 c の電位を固定する目的で制御電極 6 a が設けられている（図 1 1）。N型ウエル抵抗 1 4 の存在により入力端子 7 と接地端子 9 の間の抵抗が上昇するため、ドレイン電圧 V_{ds} - ドレイン電流 I_{ds} の関係は、図 1 2 のようになる。図中、点線が図 7 の従来技術に対応するプロファイルであり、実線が図 1 1 の保護回路部に対応するプロファイルである。実線のプロファイルでは、N型ウエル抵抗 1 4 の存在により $V_s - V_{t2}$ 間の $d I_{ds} / d V_{ds}$ の値が小さくなっており、その結果 V_{t2} が増大し、 $V_{t1} < V_{t2}$ となっている。このとき、一部のランジスタのみがスナップバック動作を起こした場合であっても、スナップバック後のドレイン電圧が V_s から V_{t2} まで増加する間に、残りのランジスタについても同様にスナップバック動作を起こし、複数のランジスタが一様に機能する。従って保護能力が低下することなく、十分なサージ耐性（ESD耐性）を確保することができる。このように高抵抗領域を設ける方法を採用すれば複数のランジスタを一様に動作させることができ、保護回路部の信頼性を高めることができる。このため、上記方法は保護回路部に一般的に採用されている。

【0013】

ところが、この高抵抗領域を形成する方法も、以下の点でなお課題を有していた。第1に、高抵抗領域の存在により保護回路部の駆動能力が低下し、高速動作性が低下するという問題があった。第2に、高抵抗領域の存在により、トランジスタのドレイン電流が低下するため、出力回路等で所望の駆動電流を確保するには、トランジスタサイズを大きくする必要があった。第3に、保護回路部のドレイン領域において、ゲートとコンタクト間に抵抗素子を配置するため、ゲート、ドレインの間隔を広くしなければならないため、LSIの微細化を図る上で障害になるという問題があった。

【0014】

ところで、LSIにおける保護回路部の配設形態として、電源電位 V_{DD} と接地電位GNDの間に、相補型電界効果トランジスタからなる保護回路部を設ける形態が一般的に採用される。このようにすれば、サージをGNDまたは V_{DD} へ有効に逃がすことができ、良好なESD耐性を実現でき、保護回路の応答性も良好に維持できる。

【0015】

相補型電界効果トランジスタからなる保護回路部とした場合、ラッチアップの防止が重要な技術的課題となる。ラッチアップ防止の手段として、トランジスタ形成領域のウェルの下部に不純物高濃度領域を設けることが有効であることが知られている（特開平9-321150号公報）。図13は、このような構成のCMOSの例を示すものである。ところが、この構成を保護回路部に採用した場合、シャント抵抗を小さくできるので、ラッチアップ耐性が向上するが、ESD耐性は低下するという問題が生じる。シャント抵抗を小さくすると、寄生バイポーラトランジスタの電流増幅率が低下するので、寄生バイポーラ動作は起こりにくくなり、寄生バイポーラ動作を利用する保護回路部には、不利となるためである。このような事情から、保護回路部のESD耐性を維持しつつラッチアップ耐性を高める技術が強く望まれていた。

【0016】

【発明が解決しようとする課題】

本発明の目的は、駆動能力が良好で高速動作性に優れ、十分なESD耐性とラッチアップ耐性を有し、入出力保護回路部の素子サイズを小さくした半導体装置を提供することにある。

【0017】

【課題を解決するための手段】

上記課題を解決する本発明によれば、半導体基板上的に入出力保護回路部を備えた半導体装置であって、該入出力保護回路部は、第一導電型の第一および第二の拡散層とこれらに挟まれた領域に設けられたゲート電極とを備える電界効果トランジスタが複数個並列接続されることにより構成されており、前記複数の電界効果トランジスタが形成された領域と離間して第二導電型の不純物拡散領域が設けられ、該不純物拡散領域が基準電位に接続されるとともに第二の拡散層が入出力端子部に接続され、第一の拡散層の下に、第一の拡散層よりも低い濃度の第一導電型ウェルが形成されたことを特徴とする半導体装置が提供される。

【0018】

本発明の半導体装置に含まれる入出力保護回路部は、第一の拡散層の下に、第一の拡散層よりも低い濃度の第一導電型ウェルを有しているため、第1および第2の拡散層とこれらに挟まれた領域で構成されるラテラル寄生バイポーラトランジスタのベース電位が上昇しやすく、スナップバックに入りやすくなっている。したがって、従来の保護回路よりもトリガー電圧 V_{t1} の値を低減することができる。このため、寄生バイポーラトランジスタが動作するために必要な注入電流を低減でき、応答速度が速くなる。また、 $V_{t1} < V_{t2}$ とすることができるため、保護回路部を構成する複数のトランジスタが一様に動作することとなり、サージが一部のトランジスタに集中することを防止できる。したがって、ESD耐性が向上し、保護回路部の信頼性が向上する。

【0019】

また、上記半導体装置では、第二の拡散層が入出力端子部に接続され電界効果トランジスタと入出力端子部が直接接続された構成となっている、図11に示したように、従来技術においては高抵抗領域を介して入出力端子部とトランジスタ部が接続されることが多かった。これに対し本発明では、入出力端子部とトラン

ジスタ部が直接接続された構成となっている。このため、このため、第1導電型ウェルの機能が十分に発揮され、寄生バイポーラ動作が促進される。また、サージが抵抗を介さずに直接ドレインへ印加されるので、保護回路の応答が速くなる。抵抗を介さない接続にすることで、トランジスタのドレイン電流低下はなく、出力回路等でも駆動電流を十分に確保できる。さらに、保護回路部のドレイン領域において、ゲートとコンタクト間に抵抗素子を配置しないので、ゲート間隔を狭くすることができ、入出力保護回路部の素子サイズが小さくなり、LSIを微細化する上で有利となる。なお、第二導電型の不純物拡散領域は、複数の電界効果トランジスタに対して一または二以上形成すればよい。また、第二導電型の不純物拡散領域の配置については特に制限がなく、複数の電界効果トランジスタが形成された領域と離間して形成されていればよい。たとえば、図1のP型不純物拡散領域4aのように、複数の電界効果トランジスタの周囲を囲むように設けることができる。

【0020】

上記半導体装置において、ゲート電極および第二導電型の不純物拡散領域が半導体基板表面に形成された第二導電型ウェルの上に設けられており、第一導電型ウェルの底部は、第二導電型ウェルの底部と同等の深さの位置または第二導電型ウェルの底部よりも深い位置に形成された構成とすることが望ましい。すなわち、電界効果トランジスタのゲート電極および第二導電型の不純物拡散領域を第二導電型ウェルの上に形成し、第一導電型ウェルを、第二導電型ウェル以上の深さとすることが望ましい。このようにすれば、ドレイン部ブレイクダウン後の電流は、第二導電型ウェルより高抵抗である半導体基板を経由して流れるようになり、上記ラテラル寄生バイポーラトランジスタのベース領域の電位は、より上昇しやすくなり、トリガー電圧 V_{t1} をより効果的に下げることができる。これにより、保護回路部の応答性およびESD耐性がさらに向上する。

【0021】

また本発明によれば、半導体基板上に相補型電界効果トランジスタを含む入出力保護回路部を備えた半導体装置であって、前記相補型電界効果トランジスタは、第一導電型の第一および第二の拡散層とこれらに挟まれた領域に設けられたゲ

ート電極とを備える第一の電界効果トランジスタと、第二導電型の第三および第四の拡散層とこれらに挟まれた領域に設けられたゲート電極とを備える第二の電界効果トランジスタとからなり、前記第一の電界効果トランジスタが形成された領域と離間して第二導電型の第一の不純物拡散領域が設けられ、前記第二の電界効果トランジスタが形成された領域と離間して第一導電型の第二の不純物拡散領域が設けられ、第一の不純物拡散領域が第一の基準電位に、第二の不純物拡散領域が第二の基準電位に、第二の拡散層および第四の拡散層が入出力端子部にそれぞれ接続され、第一の拡散層の下に、第一の拡散層よりも低い濃度の第一導電型ウェルが形成されたことを特徴とする半導体装置が提供される。

【0022】

この半導体装置の入出力保護回路部は、相補型電界効果トランジスタにより構成されているので、サージを複数のラインへ効率よく逃がすことができるようになり、保護回路部の高速動作性、およびESD耐性はさらに向上する。なお、保護回路の信頼性をより向上させる観点から、相補型電界効果トランジスタを構成するNチャネル型電界効果トランジスタは複数設けられることが好ましい。

【0023】

この半導体装置において、第一の電界効果トランジスタのゲート電極および第一の不純物拡散領域は半導体基板表面に形成された第二導電型ウェルの上に設けられており、第一導電型ウェルの底部は、第二導電型ウェルの底部と同等の深さの位置または第二導電型ウェルの底部よりも深い位置に形成された構成とすることが望ましい。すなわち、第一の電界効果トランジスタのゲート電極および第一の不純物拡散領域を第二導電型ウェルの上に形成し、第一導電型ウェルを、第二導電型ウェル以上の深さとすることが望ましい。このようにすれば、ドレイン部ブレークダウン後の電流は、第二導電型ウェルより高抵抗である半導体基板を経由して流れるようになり、上記ラテラル寄生バイポーラトランジスタのベース領域の電位は、より上昇しやすくなり、トリガー電圧 V_{t1} をより効果的に下げることができる。これにより、保護回路部の応答性およびESD耐性がさらに向上する。

【0024】

また、この半導体装置において、第二導電型ウエルの下部に、第二導電型ウエルよりも高濃度の第二導電型不純物を含む不純物高濃度領域が設けられ、第一導電型ウエルの底部が、不純物高濃度領域の底部と同等の深さの位置または不純物高濃度領域の底部よりも深い位置に形成された構成とすれば、良好なESD耐性および良好なラッチアップ耐性を兼ね備えた保護回路部を得ることができる。前述したように、ウエル底部に不純物高濃度領域を設けることにより、シャント抵抗が小さくなり、ラッチアップ耐性が向上することが知られているが、シャント抵抗が小さくなると、寄生バイポーラトランジスタの電流増幅率が低下するために、寄生バイポーラ動作が起こりにくくなり、ESD耐性が低下するという問題があった。これに対して本発明は、不純物高濃度領域の底部と同等またはそれよりも深い位置に到達する第一導電型ウエルを設けることで上記課題を解決している。図3は上記構成の一例を示すものであり、不純物高濃度領域16と同等の深さのN型ウエル1aが設けられている。このようなN型ウエル1aを設けることにより、ドレイン3bにおけるブレークダウン後の電流は、高抵抗である半導体基板20を経由して流れるようになるので、ラテラル寄生バイポーラトランジスタのベース領域2の電位は上昇しやすくなるとともに、トリガー電圧 V_{t1} を低減することができ、ESD耐性が改善される。一方、内部回路領域（図示せず）では、不純物高濃度領域15、16によりシャント抵抗を小さくしているので、入出力保護回路部と内部回路領域との間で起こり得るラッチアップ耐性を大幅に改善できる。

【0025】

本発明において、第一導電型ウエルの設けられた電界効果トランジスタは、Nチャネル型電界効果トランジスタとすることが好ましい。これは、NPN型の寄生バイポーラトランジスタの方が、PNP型に比べ電流増幅率が高く、高速動作性に優れているからである。

【0026】

【発明の実施の形態】

本発明の好ましい実施形態について図1、図2等を参照して説明する。本実施形態は、CMOSを含む入出力保護回路部を備えた半導体装置の一例を示すもの

である。図1は本実施形態に係る入力保護回路部の平面図、図2は図1のA-A断面図である。図2に示すように、本実施形態のCMOSは、P型シリコン基板20の表面に、N型ウエル1bおよびP型ウエル2が隣接して形成されたツインウエル構造を有している。N型ウエル1b、P型ウエル2の不純物濃度は、たとえば $1.0 \times 10^{17} \sim 1.0 \times 10^{18} \text{ cm}^{-3}$ 程度とする。なお、本実施形態ではツインウエル構造を採用しているが、本発明の半導体装置はこのような構造に限定されず、シングルウエル、トリプルウエル等、種々のウエル構造を採用することができる。

【0027】

図2に示すように、P型ウエル2の設けられた領域にはNチャネルMOSFETが形成されている。NチャネルMOSFETは、ゲート電極6、ソース領域3c、ドレイン領域3b、エクステンション領域12により構成されている。エクステンション領域12は、ソース・ドレイン領域よりも不純物濃度が低い領域を指す。例えば、ソース領域3c、ドレイン領域3bの不純物濃度は $1.0 \times 10^{20} \text{ cm}^{-3}$ 程度であり、エクステンション領域の不純物濃度は $1.0 \times 10^{19} \text{ cm}^{-3}$ 程度である。ゲート電極6と基板の間には、ゲート絶縁膜が設けられている。ゲート絶縁膜としては、シリコン酸化膜のほか、シリコン窒化膜、シリコン酸窒化膜、あるいは、酸化タンタル(Ta_2O_5)等の高誘電体材料からなる膜を用いることができる。

【0028】

NチャネルMOSFET形成箇所の外周部には、P型不純物拡散領域4aが設けられており(図1)、これによりP型ウエル2の電位が固定されている。P型不純物拡散領域4aとソース領域3cとは、素子分離膜10を介して配置されており、いずれも接地端子9(GND)に接続されている。一方、ドレイン領域3bは入力端子7と接続されている。ソース領域3cおよび素子分離膜10の下部には、N型ウエル1aが形成されている。N型ウエル1aの不純物濃度は、その上部のソース領域3cの不純物濃度よりも低濃度とする。N型ウエル1aの不純物濃度は、 $1.0 \times 10^{17} \text{ cm}^{-3} \sim 1.0 \times 10^{18} \text{ cm}^{-3}$ が適当である。

【0029】

一方、N型ウェル1bの設けられた領域には、ゲート電極5、ソース領域4c、ドレイン領域4b、エクステンション領域11からなるPチャネルMOSFETが形成されている。各領域の不純物濃度、ゲート絶縁膜の種類等については、NチャネルMOSFETについて説明したものと同様の構成を採用することができる。ここで、N型ウェル1bとN型ウェル1aの不純物濃度を同じにすれば、これらを同一工程で形成することができ、工程簡略化の点で有利である。PチャネルMOSFET形成箇所の外周部には、N型不純物拡散領域3aが設けられており(図1)、N型ウェル1bの電位が固定されている。N型不純物拡散領域3aとソース領域4cとは、素子分離膜10を介して配置されており、いずれも電源端子8(V_{DD})に接続されている。一方、ドレイン領域4bは入力端子7と接続されている。

【0030】

各トランジスタのソース・ドレイン領域等の表面には、寄生抵抗低減等のため、シリサイド層13が形成されている。シリサイド層13は、チタンシリサイド、コバルトシリサイド等の材料により構成される。

【0031】

次に、上記構成の保護回路部に対し外部サージが入力端子7に加わった場合のNチャネルMOSFETの動作について説明する。

【0032】

まず、入力端子7へ接地端子9に対して、負極サージが印加された場合、ドレイン領域3b(N型)とP型ウェル2間のPN接合に、順方向電圧が加わることで、順方向のPNダイオードがオンすることによって、負極サージは入力端子7からドレイン領域3b、P型ウェル2を経由して、接地端子9へ逃がされる。次に、入力端子7へ接地端子9に対して、正極サージが印加された場合、NチャネルトランジスタのP型ウェルに対してドレインへ正の電圧が印加されることで、電圧が一定値以上となると、ドレイン領域3b近傍でアバランシェブレイクダウンが生じる。ブレイクダウン後、ドレイン領域3bからP型ウェル2へホール電流が流れ、その電流によりP型ウェル2が正の電位に上昇する。これにより、ドレイン領域3bをコレクタ、P型ウェル2をベース、ソース領域3cを

エミッタとするNPN寄生バイポーラトランジスタがオンし、サージは入力端子7からドレイン領域3b、P型ウェル2、ソース領域3cを経由して接地端子9へ流れる。ここで、本実施形態ではソース領域3c下部にN型ウェル1aが形成されているため、ブレイクダウン後、NPN寄生バイポーラトランジスタのベース領域（図2におけるゲート電極6下のP型ウェル2）の電位が上昇しやすくなる。これは、ブレイクダウンにより発生するホール電流が、図5中の矢線で示すように高抵抗のシリコン基板20を経由する電流経路で流れるようになるため、高抵抗のシリコン基板20による電圧降下分だけ寄生バイポーラトランジスタのベース領域の電位が上昇することによるものである。このように寄生バイポーラトランジスタのベース領域電位が上昇しやすいため、スナップバックに入りやすくなるのである。

【0033】

以上述べた動作を図4を参照して説明する。図4において、ドレイン電圧がブレイクダウン電圧 V_B になるとブレイクダウンが起こり、その後、トリガー電圧 V_{t1} まで電圧が上昇する。 V_{t1} の値は、前述したように従来のものと比べて小さくなっている。NPN寄生バイポーラトランジスタがオンした後は、電圧は V_s まで降下後、電流上昇とともに電圧が上昇し、破壊電流 I_{t2} 、破壊電圧 V_{t2} に達する。ここで、 V_{t1} が低減されているため、 $V_{t1} < V_{t2}$ となっており、一部のトランジスタのみがスナップバック動作を起こした場合であっても、スナップバック後のドレイン電圧が V_s から V_{t2} まで増加する間に、残りのトランジスタについても同様にスナップバック動作を起こすことができる。このように、本実施形態の保護回路部によれば、保護回路部を構成する複数のトランジスタが一様に機能するので、保護能力が低下することなく、十分なESD耐性を確保することができる。

【0034】

本実施形態では、高抵抗領域を設けることなくESD耐性を高めているため、高速動作させることができ、保護回路の応答が速くなる。また、トランジスタのドレイン電流低下はなく、出力回路等でも駆動電流を十分に確保できる。さらに、保護回路部のドレイン領域において、ゲートとコンタクト間に抵抗素子を配置

しないので、ゲート間隔を狭くすることができ、入出力保護回路部の素子サイズが小さくなり、LSIを微細化する上で有利となる。

【0035】

以上のように、本発明は、従来採用されていた高抵抗領域を設ける方法に代え、N型ウェル1aを設ける方法により、

$$V_{t1} \text{ (トリガー電圧)} < V_{t2} \text{ (トランジスタ破壊電圧)}$$

の関係を実現している。すなわち、高抵抗領域を設けることにより V_{t2} を増大させるかわりに、N型ウェル1aを設けることによって V_{t1} を低下させ、これにより上記関係を実現している。ここで、N型ウェル1aを設ける手法のみによっても上記関係を実現できるが、保護回路部の信頼性を高めるためには、 V_{t2} と V_{t1} の差をより大きくすることが望ましい。特に、トランジスタのソース・ドレイン領域等の表面にシリサイド層を設けた構成を採用した場合、サージの集中によるトランジスタの破壊が一層発生しやすくなるため、 V_{t2} と V_{t1} の差をより大きくすることがより重要となる。かかる観点から、①ゲート長、すなわち図2におけるゲート電極6の長さを、 $0.2\mu\text{m}$ 以下とする、あるいは、②第一および第二の拡散層（本実施形態におけるソース領域3cおよびドレイン領域3b）をエクステンション構造とする、といった構成を採用すると、より効果的である。このような構成を採用すればN型ウェル1aを設けることとの相乗効果が得られ、ソース領域3c、ゲート電極6下のP型ウェル2、およびドレイン領域3bにより構成される寄生バイポーラトランジスタが一層オンしやすくなり、 V_{t1} をより効果的に低減できる。なお、エクステンション構造とは、ソース・ドレイン領域のチャネル層側の端部に、ソース・ドレイン領域よりも低濃度の不純物拡散領域を設けた構造を指し、回転斜めイオン注入によって形成することができる。エクステンション領域の不純物濃度は、 $1.0 \times 10^{19} \text{ cm}^{-3} \sim 1.0 \times 10^{20} \text{ cm}^{-3}$ が適当である。

【0036】

また、本実施形態では、ソース領域3cとP型不純物拡散領域4aとの間に、素子分離膜10が設けられているが、この素子分離膜10を設けず、ソース領域3cおよびP型不純物拡散領域4aを隣接して配置することもできる。このよう

にすれば保護回路部のサイズをさらに縮小することができる。従来技術においては、P型不純物拡散領域4aとNチャネルMOSFETのチャネル層との距離を大きくし、この間の抵抗値を高める必要上、上記素子分離膜10が設けられていた。このようにしなければ、寄生バイポーラトランジスタのベース領域（ゲート電極6下のP型ウェル2）の電位を上昇させることができず、スナップバックに入りにくくなってしまうからである。これに対し、本発明ではN型ウェル1aを設けているため、P型不純物拡散領域4aをNチャネルMOSFETとの距離が短くても寄生バイポーラトランジスタのスナップバック動作を十分に促進することができる。このため、本発明の構成を採用した場合、素子分離膜10を設けずにソース領域3cおよびP型不純物拡散領域4aを隣接して配置することも可能となる。

【0037】

本実施形態では、NチャネルMOSFETにN型ウェルを形成した例を示したが、PチャネルMOSFETのソース領域4cの下部にP型ウェルを設けても良い。ただし、P型ウェルはN型ウェル1bより浅く形成するか、N型基板を適用することが望ましい。

【0038】

なお、本実施形態ではCMOS構造部を備えた保護回路部の例を示したが、複数のMOSFETのみによって構成された保護回路部としてもよい。また、本実施形態では入力回路保護部の例を示したが、本発明を出力回路保護部にも適用できることは言うまでもない。

【0039】

【実施例】

実施例1

本実施例について図面を参照して説明する。図1は本実施例に係る入力保護回路部の平面図、図2は、図1のA-A'断面図である。図2に示すように、P型シリコン基板20の表面に、N型ウェル1b（リン濃度 $10^{17}/\text{cm}^3$ 程度）およびP型ウェル2（ボロン濃度 $10^{17}/\text{cm}^3$ 程度）が形成されている。P型ウェル2の設けられた領域には、ゲート電極6、ソース領域3c、ドレイン領域3

b、エクステンション領域12からなるNチャネルMOSFETが形成されている。NチャネルMOSFET形成箇所の外周部には、P型不純物拡散領域4aが設けられており(図1)、P型ウエル2の電位が固定されている。P型不純物拡散領域4aとソース領域3cとは、素子分離膜10を介して配置されており、いずれも接地端子9(GND)に接続されている。一方、ドレイン領域3bは入力端子7と接続されている。ソース領域3cおよび素子分離膜10の下部には、N型ウエル1a(リン濃度 $10^{17}/\text{cm}^3$ 程度)が形成されている。本実施例では、N型ウエル1a、N型ウエル1b、およびP型ウエル2はいずれも $1\mu\text{m}$ 程度の深さとなっている。

【0040】

また、NチャネルMOSFETのエクステンション領域12は、ヒ素濃度 $1 \times 10^{19} \text{cm}^{-3}$ となるように形成した。

【0041】

一方、N型ウエル1bの設けられた領域には、ゲート電極5、ソース領域4c、ドレイン領域4b、エクステンション領域11からなるPチャネルMOSFETが形成されている。N型ウエル1bは、N型ウエル1aと同様、リン濃度 $1 \times 10^{17} \text{cm}^{-3}$ 程度になっている。PチャネルMOSFET形成箇所の外周部には、N型不純物拡散領域3aが設けられており(図1)、N型ウエル1bの電位が固定されている。N型不純物拡散領域3aとソース領域4cとは、素子分離膜10を介して配置されており、いずれも電源端子8(V_{DD})に接続されている。一方、ドレイン領域4bは入力端子7と接続されている。

【0042】

ゲート電極5、6は、基板上にシリコン酸化膜を介して形成されており、それぞれのゲート電極の幅(ゲート長)は $0.2\mu\text{m}$ とした。

【0043】

各トランジスタのソース・ドレイン領域等の表面には、寄生抵抗低減等のため、コバルトシリサイドからなるシリサイド層13が形成されている。このシリサイド層13は、まずコバルト膜をスパッタリング法により形成した後、熱処理を施すことにより形成した。

【0044】

次に、上記構成の保護回路部の動作について説明する。外部サージが入力端子7に加わった場合、サージは、NチャネルMOSFET、接地端子9を経由する経路、または、PチャネルMOSFET、電源端子8を経由する経路を介して流れ、内部回路が保護される。本実施例ではソース領域3c下部にN型ウエル1aが形成されているため、ブレークダウン後、NPN寄生バイポーラトランジスタのベース領域（ゲート電極6下のP型ウエル2）の電位が上昇しやすくなる。このため、図4におけるトリガー電圧 V_{t1} が低減され、 $V_{t1} < V_{t2}$ となる。したがって、一部のトランジスタのみがスナップバック動作を起こした場合であっても、スナップバック後のドレイン電圧が V_s から V_{t2} まで増加する間に、残りのトランジスタについても同様にスナップバック動作を起こし、複数のトランジスタが一様に機能する結果、ESD耐性が向上する。本実施例の半導体装置では、トリガー電圧 V_{t1} が約6V、トランジスタ破壊電圧 V_{t2} が約9Vであった。

【0045】

本実施例ではドレイン部の高抵抗領域を設けていないので、保護回路の応答が速くなり、高速動作が実現できた。また、トランジスタのドレイン電流低下はなく、出力回路でも駆動電流を十分に確保することができた。さらに、ゲートとコンタクト間に抵抗素子を配置しないので、ゲート間隔を狭くすることができ、入出力保護回路部の幅、すなわち図1におけるB-B'間の距離を大幅に縮小することができた。図11示す従来技術では、ゲート本数を8本とした場合、入出力保護回路部の幅は約 $50\mu\text{m}$ 必要であったのに対し、本実施例では、同ゲートの本数で約 $25\mu\text{m}$ まで縮めることが可能となった。

【0046】

比較例1

本比較例の半導体装置の断面構造を図8に示す。この半導体装置は、制御電極下部にN型ウエル1cが設けられており、入力端子7がN型不純物拡散領域3dと接続されている。この点、入力端子7がドレイン領域3bと接続され、高抵抗領域を介さずにNMOSFETと入力端子7が直接接続された実施例1の半導体装置と相違する。また、この半導体装置は、ソース・ドレイン領域にエクステン

ション領域が設けられておらず、この点でも実施例 1 のものと相違する。これらの相違点以外は実施例 1 と同様にして半導体装置を構成した。

【 0 0 4 7 】

本比較例の半導体装置では、 V_{t1} が約 8 V、 V_{t2} が約 1 2 V であり、実施例 1 よりも高い V_{t1} 値を示した。これは、N 型ウェル 1 a による寄生バイポーラトランジスタの動作の促進作用が、N 型ウェル 1 c の抵抗成分により、弱められたことによるものと考えられる。また、入出力保護回路部の幅は、ゲート 8 本で約 $50\ \mu\text{m}$ となり、保護回路サイズの小型化は十分に図られなかった。

【 0 0 4 8 】

実施例 2

本実施例に係る入力保護回路部の断面構造を図 3 に示す。この入力保護回路部は、図 2 の CMOS の N 型ウェル 1 b および P 型ウェル 2 の底部にそれぞれ不純物高濃度領域 1 5、1 6 を形成した、いわゆるレトログレードウェルを設けた例である。レトログレードウェルの形成は、同一のマスクを用いて、注入エネルギー、ドーズ量の異なる複数回のイオン注入を行うことにより形成した。本実施例において、N 型ウェル 1 b および 1 a は、リン濃度 $1 \times 10^{17}\ \text{cm}^{-3}$ 程度、P 型ウェル 2 はボロン濃度 $1 \times 10^{17}\ \text{cm}^{-3}$ 程度とした。また、不純物高濃度領域 1 5 はリン濃度 $2 \times 10^{17}\ \text{cm}^{-3}$ 程度とし、不純物高濃度領域 1 6 はボロン濃度 $2 \times 10^{17}\ \text{cm}^{-3}$ 程度とした。

【 0 0 4 9 】

このような不純物高濃度領域を設けることにより、シャント抵抗が小さくなり、ラッチアップ耐性が向上することが知られているが、この場合、従来技術では、ESD 耐性が低下するという課題を有していた。これに対し本実施例ではソース領域 3 c の下に N 型ウェル 1 a が設けられているため、N チャネル MOS FET においてドレイン領域 3 b がフレークダウンした後、ホール電流が高抵抗のシリコン基板 2 0 を経由する電流経路で流れることになり、ラテラル寄生バイポーラトランジスタのベース領域の電位は上昇しやすくなるとともに、トリガー電圧 V_{t1} を低減することができ、ESD 耐性が改善される。一方、内部回路領域（図示せず）では、不純物高濃度領域 1 5、1 6 によりシャント抵抗を小さくして

いるので、入出力保護回路部と内部回路領域との間で起こりうるラッチアップ耐性も大幅に改善された。本実施例の半導体装置では、500mA以上の電流を入出力端子へ注入しても、ラッチアップは発生しなかった。

【0050】

【発明の効果】

以上説明したように本発明の半導体装置は、保護回路部のトランジスタを構成する第一の拡散層の下に、第一の拡散層よりも低い濃度の第一導電型ウェルを有しているため、上記トランジスタのソース・ドレイン領域およびチャネル層により構成されるラテラル寄生バイポーラトランジスタが動作しやすくなっている。このため、応答速度が速くESD耐性に優れた保護回路が実現される。また、上記トランジスタの第二の拡散層が入出力端子部に接続された構成となっており、従来技術のような高抵抗領域が設けられていないため、トランジスタのドレイン電流低下はなく、出力回路等でも駆動電流を十分に確保できる。さらに、保護回路部のゲート間隔を狭くすることができ、入出力保護回路部の縮小化が可能となる。

【0051】

また、入出力保護回路部を相補型電界効果トランジスタにより構成すれば、サージを複数のラインで効率よく逃すことができ、ESD耐性をさらに改善できるという利点を得られる。この場合、トランジスタを構成するウェルの下部に不純物高濃度領域を設け、上記第一導電型ウェルの深さを不純物高濃度領域の形成位置よりも深いものとする構成を採用すれば、良好なESD耐性および良好なラッチアップ耐性を兼ね備えた保護回路部を得られる。

【図面の簡単な説明】

【図1】

本発明に係る半導体装置の保護回路部の上面図である。

【図2】

図1のA-A'断面図である。

【図3】

本発明に係る半導体装置の保護回路部の断面模式図である。

【図 4】

本発明に係る半導体装置の保護回路部におけるトランジスタの電流電圧特性を示す図である。

【図 5】

本発明に係る半導体装置の入力保護回路部におけるサージ電流の電流経路を説明するための図である。

【図 6】

従来技術に係る半導体装置の保護回路部の平面図である。

【図 7】

図 6 の A - A' 断面図である。

【図 8】

比較例に係る保護回路部の断面模式図である。

【図 9】

従来の保護回路部におけるトランジスタの電流電圧特性を示す図である。

【図 1 0】

従来技術に係る半導体装置の保護回路部の平面図である。

【図 1 1】

図 1 0 の B - B' 断面図である。

【図 1 2】

従来の保護回路部におけるトランジスタの電流電圧特性を示す図である。

【図 1 3】

CMOS のラッチアップ防止方法を説明するための図である。

【図 1 4】

入力保護回路を示す図である。

【図 1 5】

出力保護回路を示す図である。

【符号の説明】

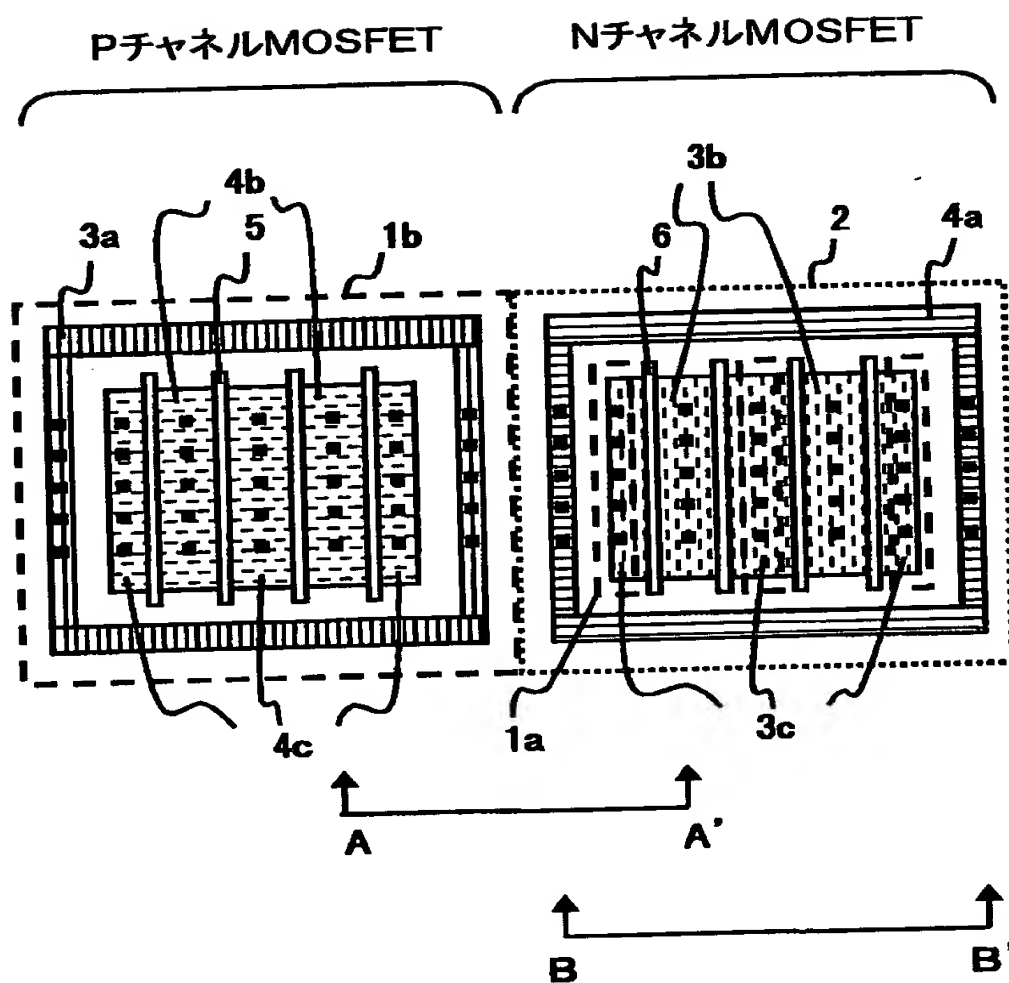
1 a N 型ウエル

1 b N 型ウエル

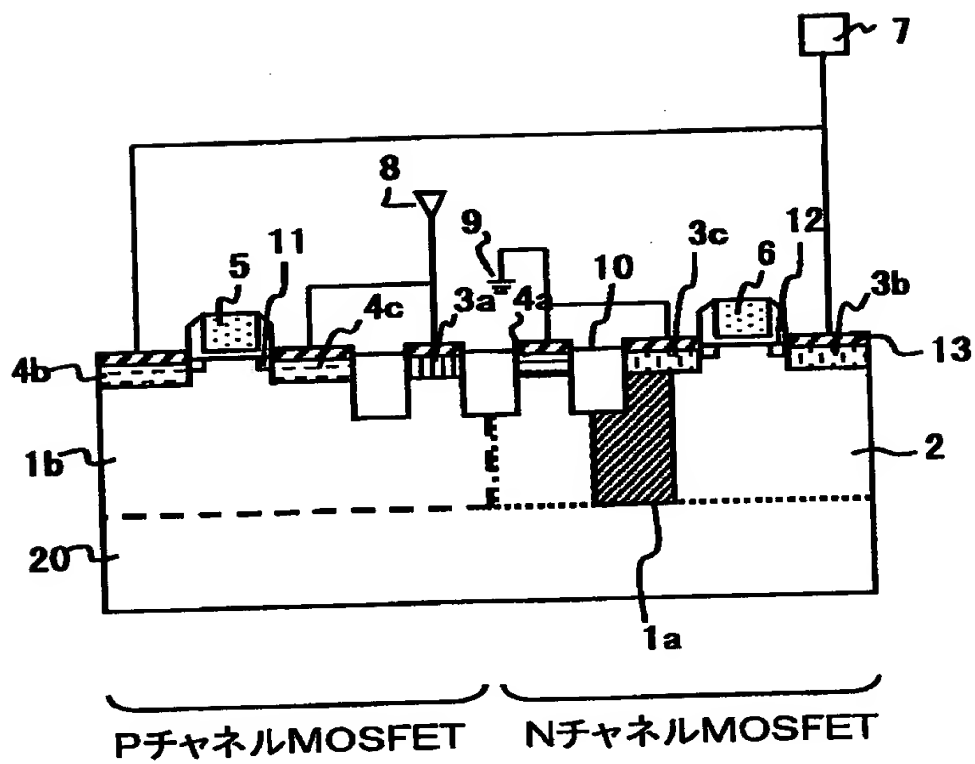
- 1 c N型ウエル
- 2 P型ウエル
- 3 a N型不純物拡散領域
- 3 b ドレイン領域
- 3 c ソース領域
- 3 d N型不純物拡散領域
- 4 a P型不純物拡散領域
- 4 b ドレイン領域
- 4 c ソース領域
- 5 ゲート電極
- 6 ゲート電極
- 6 a 制御電極
- 7 入力端子
- 8 電源端子
- 9 接地端子
- 1 0 素子分離膜
- 1 1 エクステンション領域
- 1 2 エクステンション領域
- 1 3 シリサイド層
- 1 4 N型ウエル抵抗
- 1 5 N型不純物高濃度領域
- 1 6 P型不純物高濃度領域
- 2 0 半導体基板

【書類名】 図面

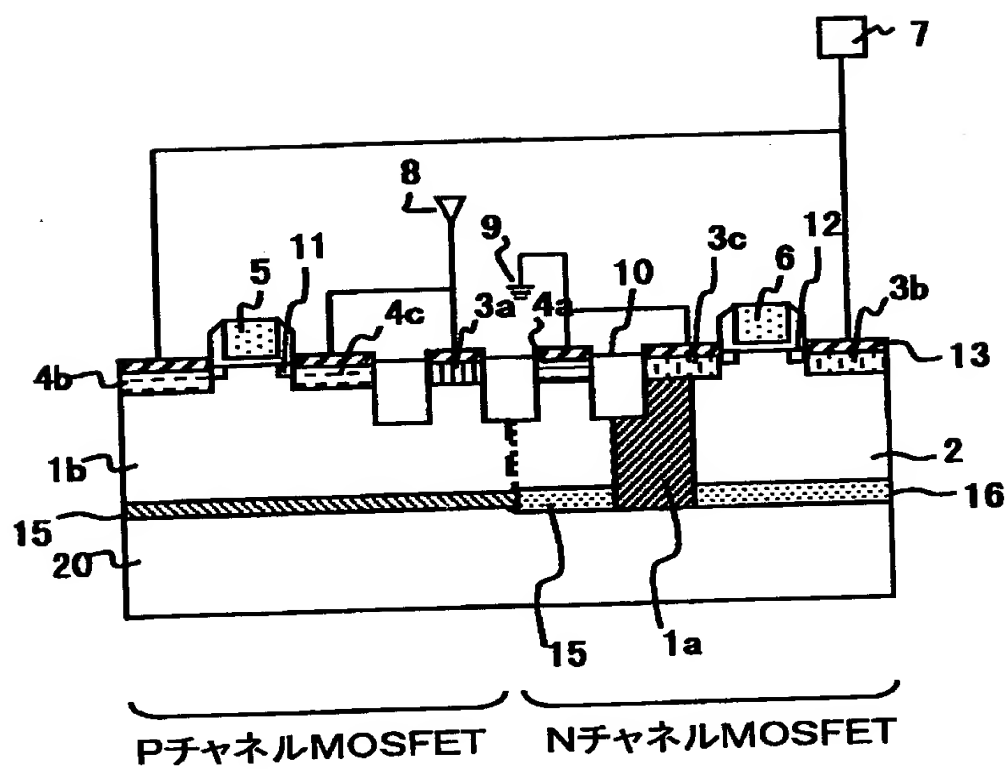
【図 1】



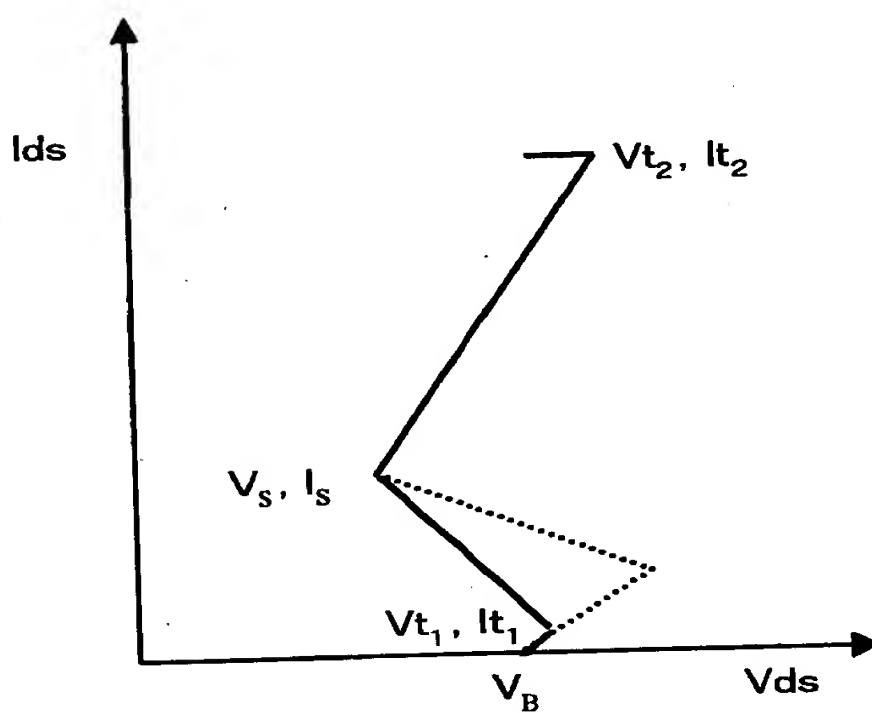
【図 2】



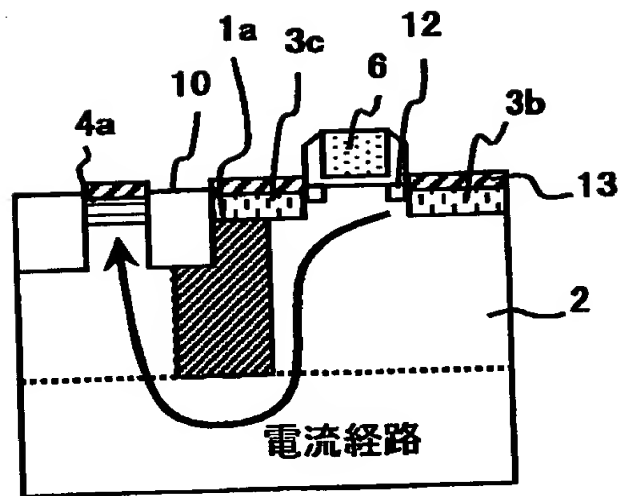
【図 3】



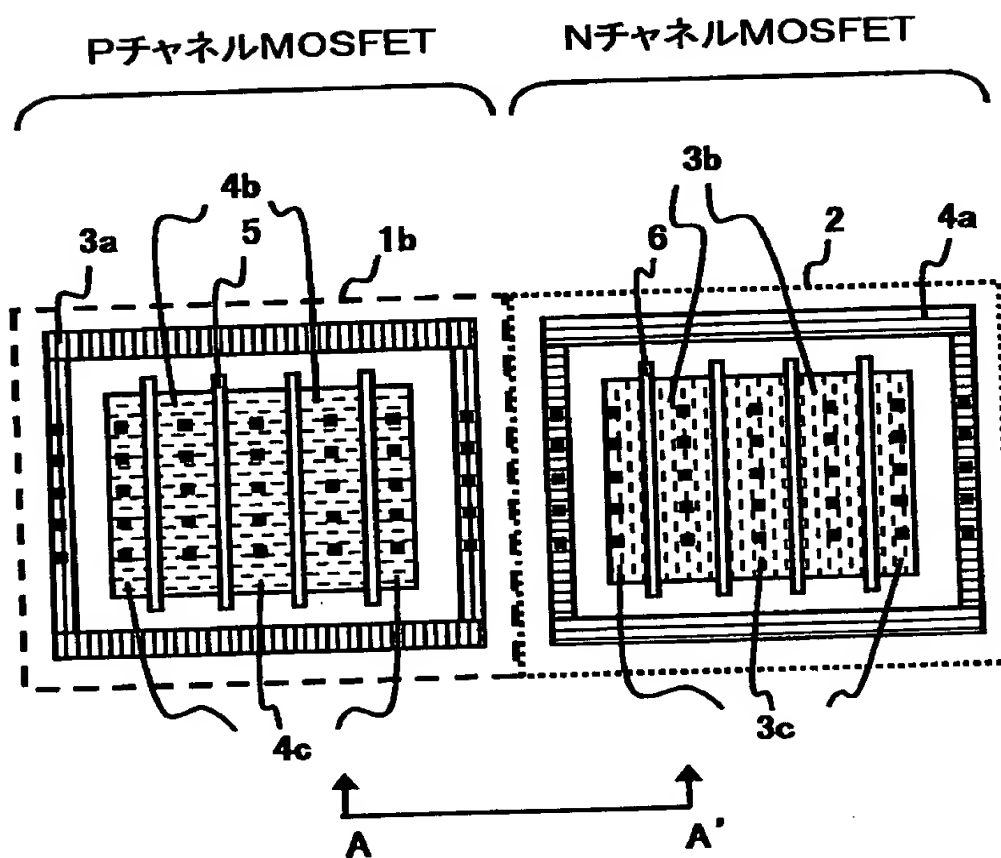
【図 4】



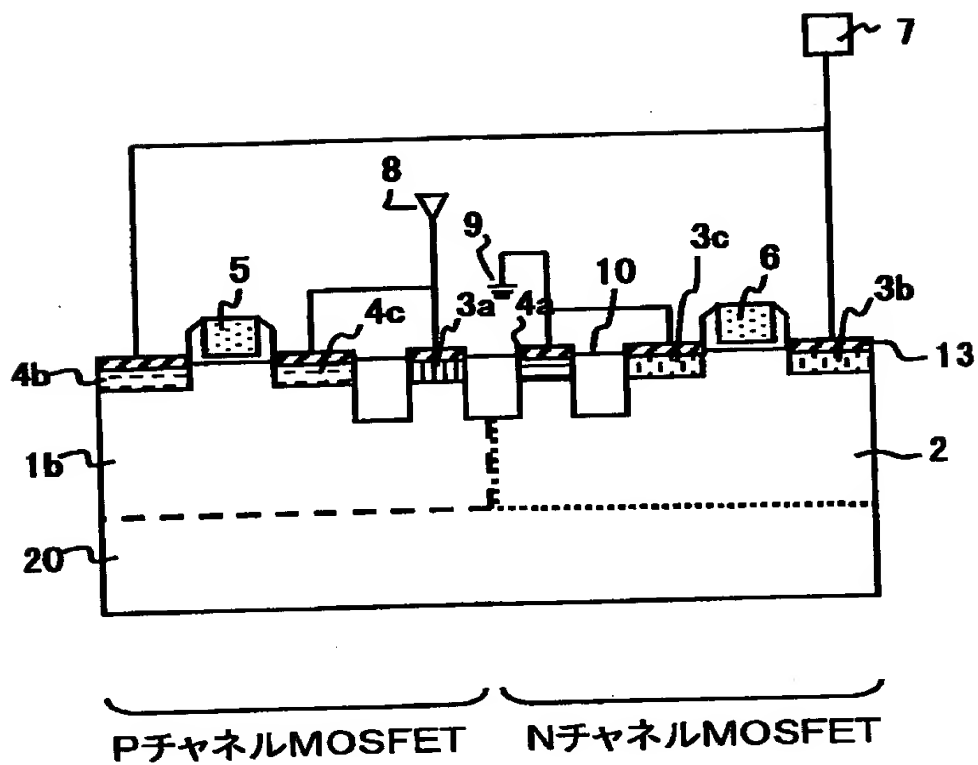
【図5】



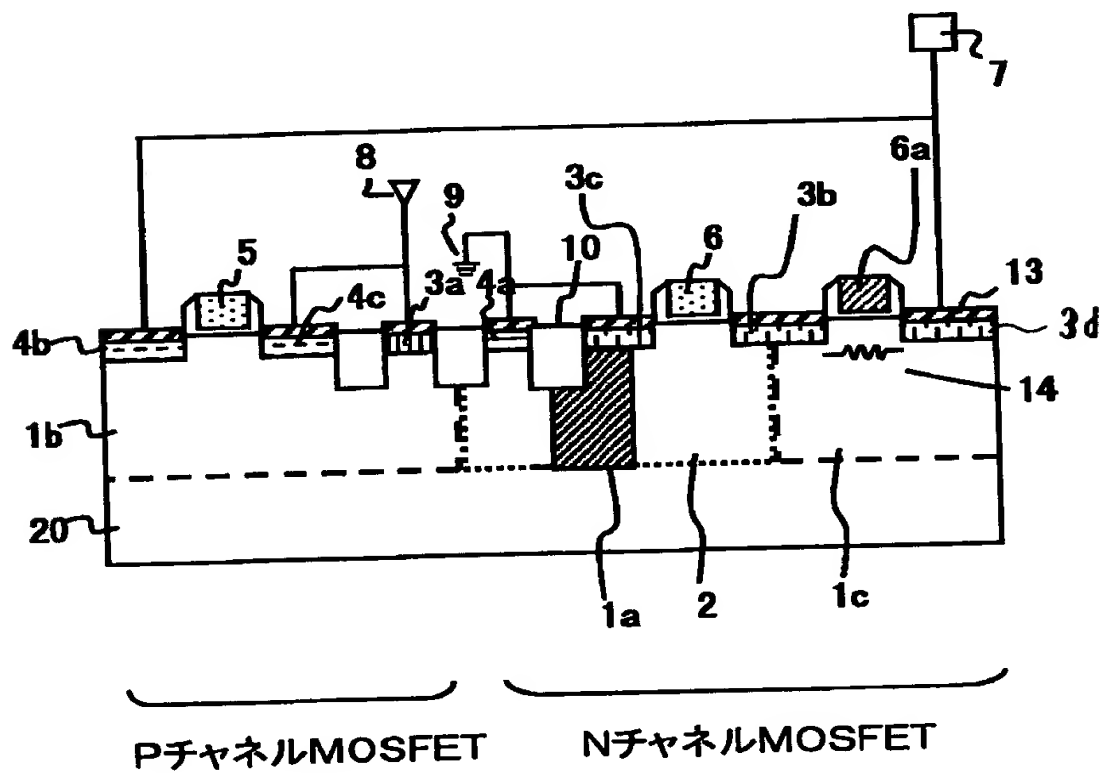
【図6】



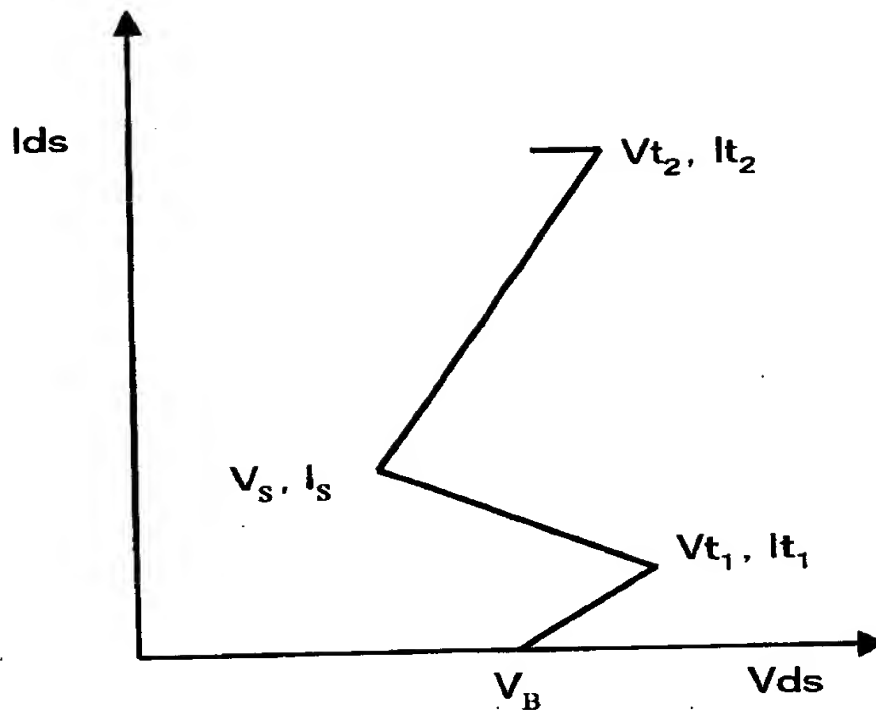
【図 7】



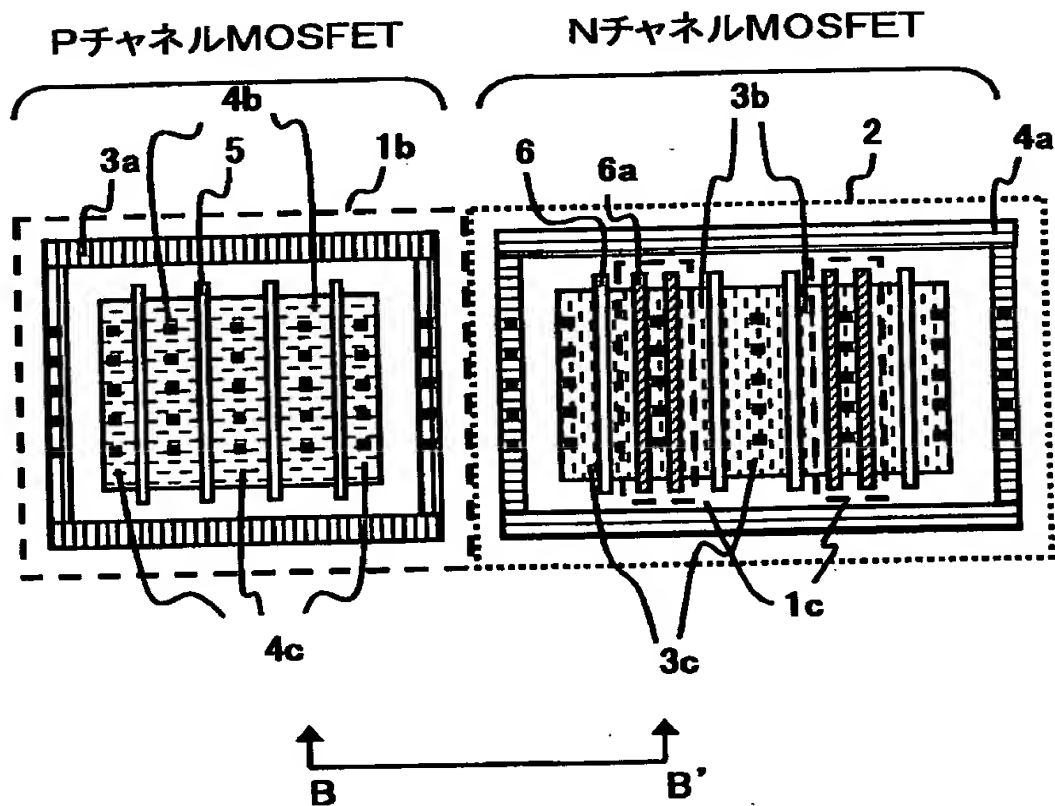
【図 8】



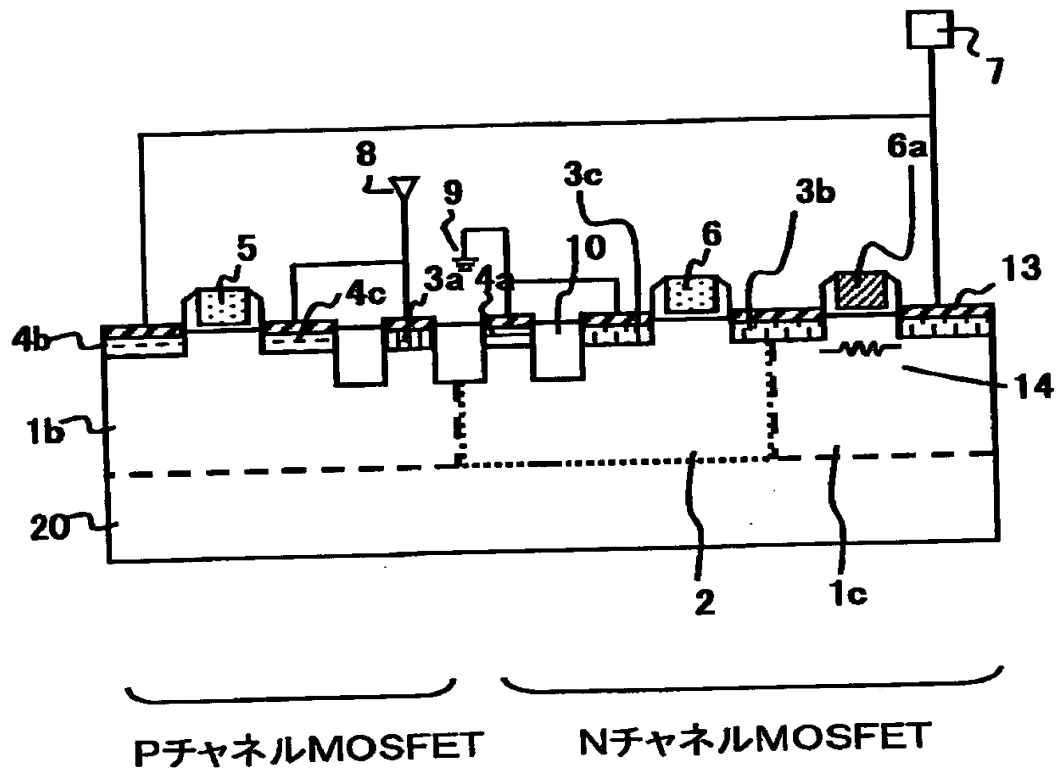
【図 9】



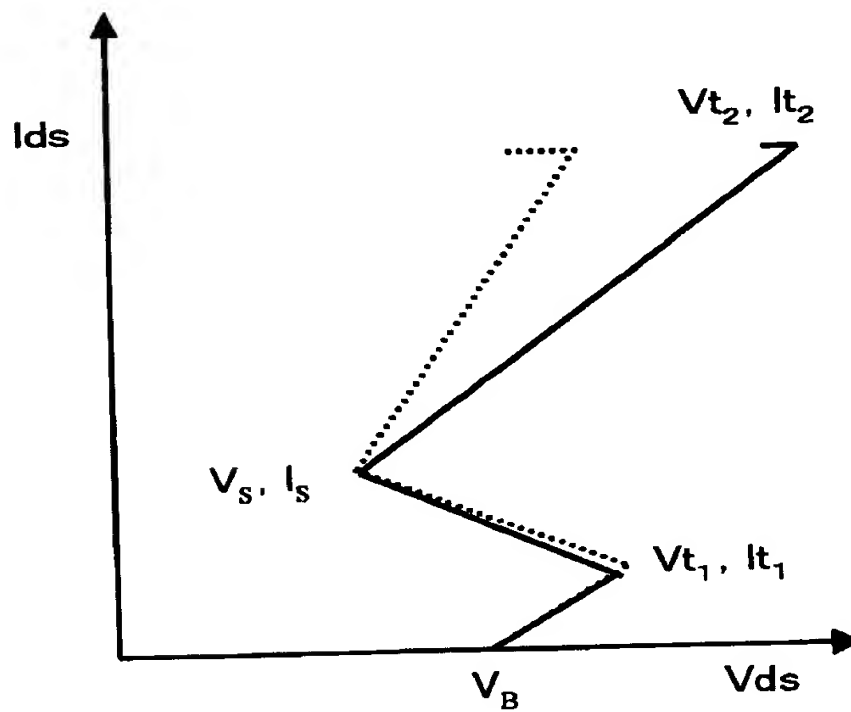
【図 10】



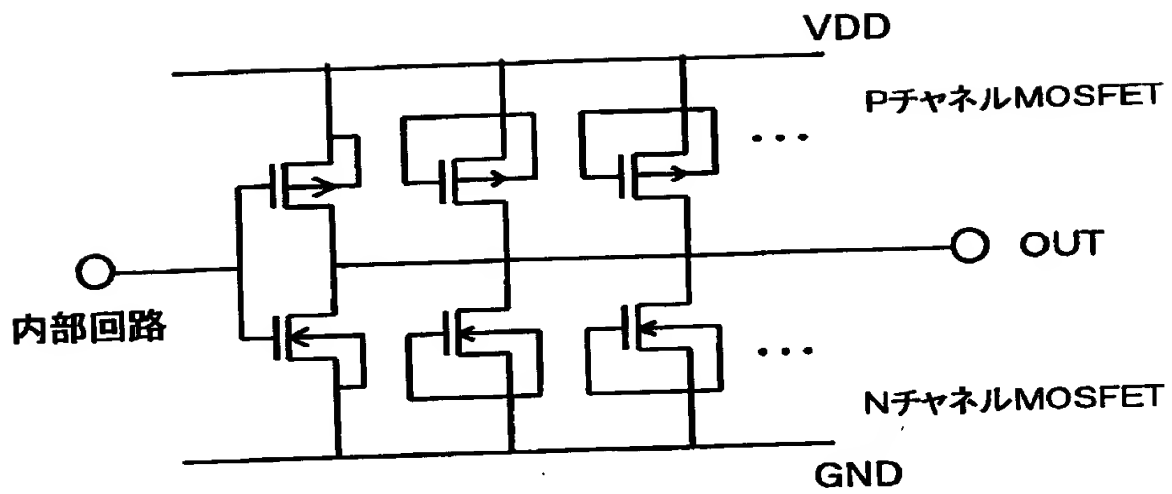
【図 1 1】



【図 1 2】



【図 1 5】



【書類名】 要約書

【要約】

【課題】 駆動能力が良好で高速動作性に優れ、十分な静電破壊耐性を有するとともに、ラッチアップ耐性が良好であって、素子サイズの小さい高度の保護機能を有する入出力保護回路部を備えた半導体装置を提供すること。

【解決手段】 入出力保護回路部を構成するNチャネル型電界効果トランジスタのソース領域3cの下部に、ソース領域3cよりも低濃度のN型ウエル1aを設ける。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社

特許庁
登録部
1990年8月29日
登録第2000-303996号